

(translation of the front page of the priority document of
Japanese Patent Application No. 2000-193376)

PATENT OFFICE
JAPANESE GOVERNMENT

This is to certify that the annexed is a true copy of the
following application as filed with this Office.

Date of Application: June 27, 2000

Application Number : Patent Application 2000-193376

Applicant(s) : Canon Kabushiki Kaisha

July 19, 2001

Commissioner,
Patent Office

Kouzo OIKAWA

Certification Number 2001-3064518

C^FM 2271 US

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年 6月27日

出 願 番 号

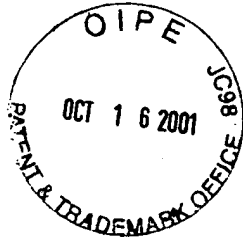
Application Number:

特願2000-193376

出 願 人

Applicant(s):

キヤノン株式会社

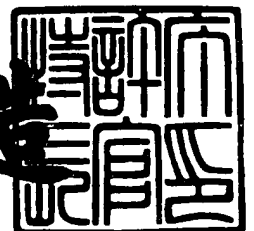


CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年 7月19日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



【書類名】 特許願

【整理番号】 4237037

【提出日】 平成12年 6月27日

【あて先】 特許庁長官殿

【国際特許分類】 H04N 1/00

【発明の名称】 画像処理装置及びその処理方法

【請求項の数】 18

【発明者】

【住所又は居所】 東京都大田区下丸子3丁目30番2号 キヤノン株式会社
社内

【氏名】 英 貢

【特許出願人】

【識別番号】 000001007

【氏名又は名称】 キヤノン株式会社

【代理人】

【識別番号】 100090273

【弁理士】

【氏名又は名称】 國分 孝悦

【電話番号】 03-3590-8901

【手数料の表示】

【予納台帳番号】 035493

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9705348

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 画像処理装置及びその処理方法

【特許請求の範囲】

【請求項 1】 一次元状に配列された複数の画素を有する第 1 の画素列と、前記第 1 の画素列に対して主走査方向に所定の幅ずらして配置された一次元状に配列された複数の画素を有する第 2 の画素列とを含み、前記第 1 の画素列からの信号と前記第 2 の画素列からの信号を同一の出力部より出力する撮像手段と、

前記第 2 の画素列からの信号を読み出して前記出力部から連続的に出力する第 1 のモードと、前記第 1 の画素列からの信号を読み出して前記出力部から連続的に出力する第 2 のモードとを有する駆動手段とを有することを特徴とする画像処理装置。

【請求項 2】 前記駆動手段は、前記第 1 のモードと第 2 のモードとを交互に繰り返すことを特徴とする請求項 1 記載の画像処理装置。

【請求項 3】 前記駆動手段は、前記第 1 のモードと前記第 2 のモードを繰り返す動作と、前記第 1 のモード又は前記第 2 のモードのいずれかのモードを連続的に行う動作とを有することを特徴とする請求項 1 記載の画像処理装置。

【請求項 4】 一次元状に配列された複数の画素を有する第 1 の画素列と、前記第 1 の画素列に対して主走査方向に所定の幅ずらして配置された一次元状に配列された複数の画素を有する第 2 の画素列とを含み、前記第 1 の画素列からの信号と前記第 2 の画素列からの信号を同一の出力部より出力する撮像手段と、

前記第 1 の画素列と前記第 2 の画素列のいずれかの画素列の信号を前記出力部から出力するとともに、他方の画素列の信号を前記出力部でリセットする駆動手段とを有することを特徴とする画像処理装置。

【請求項 5】 さらに、原稿を照射又は透過させるための光源と、前記原稿の反射光を走査しながら前記撮像手段に結像する結像手段とを有することを特徴とする請求項 1 ～ 4 のいずれかに記載の画像処理装置。

【請求項 6】 さらに、前記撮像手段により出力される信号のアナログゲインを調整するアナログゲイン調整手段と、

前記アナログゲイン調整手段により調整された信号をデジタル化するアナログ／デジタルコンバータと

を有することを特徴とする請求項 5 記載の画像処理装置。

【請求項 7】 さらに、前記デジタル化された信号に対してシェーディング補正を行うシェーディング補正手段を有することを特徴とする請求項 6 記載の画像処理装置。

【請求項 8】 一次元状に配列された複数の画素を有する第 1 の画素列と、前記第 1 の画素列に対して主走査方向に所定の幅ずらして配置された一次元状に配列された複数の画素を有する第 2 の画素列と、

少なくとも 3 つのパルスによって、前記第 1 の画素列及び前記第 2 の画素列からの信号を転送することが可能な転送手段とを有することを特徴とする画像処理装置。

【請求項 9】 前記転送手段は、少なくとも 3 つの位相の異なるパルスによって前記信号を転送することを特徴とする請求項 8 記載の画像処理装置。

【請求項 10】 前記転送手段は、隣接する画素からの信号を加算することを特徴とする請求項 8 又は 9 記載の画像処理装置。

【請求項 11】 前記転送手段は、2 つの位相の異なるパルスによって、前記第 1 の画素列又は前記第 2 の画素列からの信号を加算せずに出力することを特徴とする請求項 8 ～ 11 のいずれかに記載の画像処理装置。

【請求項 12】 前記転送手段は、少なくとも 3 つの位相の異なるパルスによって、隣接する画素からの信号を加算して出力し、2 つの位相の異なるパルスによって、前記第 1 の画素列又は前記第 2 の画素列からの信号を加算せずに出力することを特徴とする請求項 8 記載の画像処理装置。

【請求項 13】 さらに、原稿を照射又は透過させるための光源と、前記原稿の反射光を走査しながら前記撮像手段に結像する結像手段とを有することを特徴とする請求項 8 ～ 12 のいずれかに記載の画像処理装置。

【請求項 14】 さらに、前記撮像手段により出力される信号のアナログゲインを調整するアナログゲイン調整手段と、

前記アナログゲイン調整手段により調整された信号をデジタル化するアナログ

／デジタルコンバータと

を有することを特徴とする請求項 1 3 記載の画像処理装置。

【請求項 1 5】 さらに、前記デジタル化された信号に対してシェーディング補正を行うシェーディング補正手段を有することを特徴とする請求項 1 4 記載の画像処理装置。

【請求項 1 6】 一次元状に配列された複数の画素を有する第 1 の画素列と、前記第 1 の画素列に対して主走査方向に所定の幅ずらして配置された一次元状に配列された複数の画素を有する第 2 の画素列と、前記第 1 の画素列からの信号と前記第 2 の画素列からの信号を同一の出力部より出力する出力手段とを有する画像処理装置の処理方法であって、

前記第 2 の画素列からの信号を読み出して前記出力部から連続的に出力、又は前記第 1 の画素列からの信号を読み出して前記出力部から連続的に出力するステップを有することを特徴とする画像処理装置の処理方法。

【請求項 1 7】 一次元状に配列された複数の画素を有する第 1 の画素列と、前記第 1 の画素列に対して主走査方向に所定の幅ずらして配置された一次元状に配列された複数の画素を有する第 2 の画素列と、前記第 1 の画素列からの信号と前記第 2 の画素列からの信号を同一の出力部より出力する出力手段とを有する画像処理装置の処理方法であって、

前記第 1 の画素列と前記第 2 の画素列のいずれかの画素列の信号を前記出力部から出力するとともに、他方の画素列の信号を前記出力部でリセットするステップを有することを特徴とする画像処理装置の処理方法。

【請求項 1 8】 一次元状に配列された複数の画素を有する第 1 の画素列と、前記第 1 の画素列に対して主走査方向に所定の幅ずらして配置された一次元状に配列された複数の画素を有する第 2 の画素列とを有する画像処理装置の処理方法であって、

少なくとも 3 つのパルスによって、前記第 1 の画素列及び前記第 2 の画素列からの信号を転送するステップを有することを特徴とする画像処理装置の処理方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、画像信号を読み出して出力する画像処理装置及びその処理方法に関する。

【 0 0 0 2 】

【従来の技術】

従来からラインイメージセンサ（以下、CCDという）で原稿を主走査方向に走査させつつ、前記CCDあるいは原稿を相対的に副走査方向（前記CCDの画素列と直交する方向）に走査させることで2次元の画像情報を得る画像読取装置が知られている。特に、前記CCDの画素数を増加させ画素列を千鳥状に配置することで、画像読み取り解像度を高める手段も紹介されている（特開昭57-141178号公報、特公昭59-6666号公報等参照）。

【 0 0 0 3 】

ここで、上記千鳥状に配置されたCCDを使用した標準的な画像読取装置、及び動作を図14～図20に従って説明する。図14（a）、（b）はフラットベッド型スキャナと呼ばれるもので特に反射原稿を読み取る際の構成例を簡単に示したものであり、図14（a）は上面図、図14（b）は側面図である。Dは原稿台ガラス100上に置かれた読取原稿で、これを光源101によって照射した反射光をミラー102、103、104によって折り返し、レンズ105によってCCD106に結像する。光源101およびミラー102、103、104、レンズ105、CCD106を固定載置した読み取りユニット107を原稿台ガラス100に平行に同図中左から右に走査（副走査）することにより原稿D全体を読み取り、CCD106から1ページ分の画像信号を得る。CCD106を載置したCCDボード113と画像読取装置に固定されたメインボード112はケーブル111によって接続されている。同図（a）に示すように上から下に向かう方向が主走査方向、右から左に向かう方向が副走査方向となる。外部光からの影響を避けるべく、外装カバー109、原稿抑え110によって遮光されている。

【 0 0 0 4 】

図 1 5 は、画像読取装置の動作制御を行なうための回路ブロック図例である。CCD 1 0 6 によって光電変換された電気信号は C D S（相関 2 重サンプリング回路）などのサンプル／ホールド回路（S／H 回路）によってサンプリングする回路を含むアナログゲイン調整回路 2 0 1 によってゲイン調整された後、A／D コンバータ 2 0 2 によってデジタル化される。2 0 4 は光学系の配光特性の記憶用のシェーディング R A M（ランダムアクセスメモリ）である。2 0 5 は画像データ処理制御回路であり、シェーディング補正係数を記憶したシェーディング R A M 2 0 4 を制御する回路と、画像データの拡大、縮小を制御する回路、つまり画像データの読み出し、書き込みを行なうためのオフセット R A M 2 4 0 の制御回路で構成される。シェーディング補正は画像読み取りに先立って主走査白色基準板 1 0 8 を読み取って得られるシェーディングデータにより主走査のシェーディングを補正する補正データが記憶されたシェーディング R A M 2 0 4 により行なわれる。また、オフセット R A M 2 4 0 には、R 色 G 色 B 色のラインオフセットを補正するだけでなく、読み取られた画像データについて、変倍（縮小・拡大）時にはそのデータから、間引き処理、補間処理を施して読み出すことになる。

【 0 0 0 5 】

2 0 6 は画像信号を 2 値化する 2 値化回路である。2 0 7 はインターフェース回路で、パーソナルコンピュータ等のホスト装置になる外部装置 2 5 0 との間でコントロール信号の受容や画像信号の出力を行なうものである。

【 0 0 0 6 】

2 0 8 はマイクロコンピュータ形態の C P U（中央演算処理装置）で、制御プログラムを格納した R O M 2 0 8 A と、作業用の R A M 2 0 8 B とを有し、R O M 2 0 8 A に格納した制御プログラムに従って各部の制御を行なうものである。2 0 9 はタイミング信号発生回路で、C P U 2 0 8 の設定に応じて水晶発振器 2 1 0 の出力を分周して動作の基準となる各種タイミング信号を発生するものである。

【 0 0 0 7 】

図 1 6 は、光電変換素子（画素）列を 1 色あたり 2 列配置し、かつ千鳥状に 1／2 画素（以下、1／2 P という）ずつずらした千鳥画素配列カラー C C D の構

成例を示す。また、図17はRGBのうちの1色におけるフォトダイオードとシフトレジスタ及び第1の転送クロック($\phi 1$)、第2の転送クロック($\phi 2$)の関係を示した図である。図16において、R色の感光部は千鳥状に $1/2P$ ずつずれた画素列を n ライン分の距離をおいて配置されたフォトダイオード5、フォトダイオード6によって構成され、それぞれの画素列の画像データはシフトパルス $SH-r$ によってシフトゲート5、シフトゲート6を通じてシフトレジスタ5、シフトレジスタ6に転送される。シフトレジスタ5、シフトレジスタ6に転送された画像データは第1の転送クロック、第2の転送クロックによって順次転送され、出力バッファに入力される時には、フォトダイオード5、フォトダイオード6の画像データを画素順で交互に順次転送されることになり、リセットクロック RS ごとにCCD出力 $OS-r$ から出力される。

【0008】

図17に示したようにG色、B色についても同様にCCD出力 $OS-g$ 、 $OS-b$ は第1の転送クロック、第2の転送クロックによって転送された画像データをリセットパルス RS ごとに出力される。その結果、ある時間におけるCCD出力 $OS-r$ 、 $OS-g$ 、 $OS-b$ は N ライン分ずれた画像データが出力されることになる。

【0009】

図18(a)、(b)は例えば $1/2P$ で千鳥状に配置された画素列の距離が2ライン分とした場合の信号出力順と配置例を示す。図18(a)において1画素サイズが $a \times a$ であることを意味しており、奇数画素列(S_{2n+1})と偶数画素列(S_{2n})とが2ライン分の距離を有し、CCD出力としては順次奇数画素、偶数画素が出力されることになる。図14(a)では折り返し歪が改善されるものの、奇数/偶数画素列が読み取る画像情報が画素サイズとして約 $a/2$ ずつ重なっているため、空間的に2倍の画素数をもって千鳥配列にすることでも、2倍の空間周波数が得られるわけではない(特開平7-273941号公報参照)。

【0010】

これを改善する手段として、図14(b)に示す1画素サイズが $b \times a$ である

ようにする（相対寸法 $a > b > c$ とする）ことで、より空間周波数を高めることができるが、画素サイズが小さくなるため感度が低下し、画像読取装置としての仕様に依存することになる（特公昭59-6666号公報参照）。

【0011】

図19に、前記CCD106とアナログ処理回路201の駆動タイミング例を示す。同図は $\phi 1$ 、 $\phi 2$ 、RSのCCD駆動タイミングにおけるCCD出力OS-r, OS-g, OS-bとその画像信号を処理するためのアナログ処理回路201内のS/Hパルス信号及びA/Dコンバータ202への入力信号タイミングを示している。

【0012】

また、図20では、図19の波形にて転送クロック $\phi 1$ 、 $\phi 2$ とリセットパルスRSのタイミングに関するCCD内の動作を説明する。転送電極を駆動する $\phi 1$ 、 $\phi 2$ によって転送される画像データは、フローティングキャパシタに転送され、電圧信号に変換された結果が信号出力OSに出力される。タイミングTc1時の奇数画素列シフトレジスタにおけるポテンシャルウェルでは、転送される画像データ S_{2n+1} 、 S_{2n+3} 、・・・が順に転送される。リセットパルスによってリセットゲートをONされた状態なので、フローティングキャパシタには画像データがない状態である。タイミングTc2時の奇数画素列シフトレジスタにおけるポテンシャルウェルでは、フローティングキャパシタに画像データ S_{2n+1} が転送され、タイミングTc3時はリセットパルスによりリセットゲートがONし、フローティングキャパシタ内の画像データ S_{2n+1} がリセットされたときのポテンシャルウェル図を示した。奇数画素列及び偶数画素列の各シフトレジスタから交互にフローティングキャパシタに画像データを転送し、リセットパルスによって信号出力OSからデータを更新する構成となっている、

【0013】

【発明が解決しようとする課題】

従来例で説明した画像読取装置の構成で、図19の駆動方法で動作させるには、シフトゲートをOFFしているタイミングが1ラインあたりの蓄積時間に相当する区間内で奇数画素列及び偶数画素列の画素をすべて転送し終わるだけの転送

速度が要求される。従って、CCDの1ラインあたりの最大読み取り速度は $\phi 1$ 、 $\phi 2$ の最大動作周波数とフォトダイオードの個数で通常決定されることになり、高解像度化に伴って非常に長い蓄積時間が必要になる。

【0014】

しかし、図15で説明したシェーディングRAM204あるいはオフセットRAM240が高解像度であるがゆえに大メモリ容量が必要とされ、高速なSRAMでは非常に高価となってしまうため安価であるが低速なDRAMを使用せざるを得ない状況でもあり、A/Dコンバータ202の最大周波数にも制限が発生するためCCD出力としての時間制限が発生する。その場合、基本解像度の1/2以下の低解像度時（図16にて奇数あるいは偶数画素列のみ読み出す）には基本解像度と同じ蓄積時間で読み出すためには、 $\phi 1$ 、 $\phi 2$ の最大動作周波数を2倍として、アナログ処理回路201にて奇数あるいは偶数画像データを選択的に読み出す（特開平8-9143号公報参照）手段が考えられる。その場合のタイミング例を図21に示す。同図では図19に対し、2倍の転送速度でCCDの画像データを読み出し、アナログ処理回路201のS/Hを間欠に読み出すことで、偶数画素列の情報を読み出させているがCCD出力区間が非常に狭くなるため、画像データのリニアリティを確保することが非常に困難になる。従って、従来の千鳥画素配列のCCDを使用した画像読取装置の構成及び駆動方法では、CCDの高解像度化によって高解像度時と低解像度時の蓄積時間のバランスと低解像度時の高速読み取りとを両立させることが困難であった。

【0015】

本発明の目的は、高解像度時と低解像度時の蓄積時間のバランスと低解像度時の高速読み取りとを両立させることができる画像処理装置及びその処理方法を提供することである。

【0016】

【課題を解決するための手段】

本発明の一観点によれば、一次元状に配列された複数の画素を有する第1の画素列と、前記第1の画素列に対して主走査方向に所定の幅ずらして配置された一次元状に配列された複数の画素を有する第2の画素列とを含み、前記第1の画素

列からの信号と前記第 2 の画素列からの信号を同一の出力部より出力する撮像手段と、前記第 2 の画素列からの信号を読み出して前記出力部から連続的に出力する第 1 のモードと、前記第 1 の画素列からの信号を読み出して前記出力部から連続的に出力する第 2 のモードとを有する駆動手段とを有することを特徴とする画像処理装置が提供される。

【 0 0 1 7 】

本発明の他の観点によれば、一次元状に配列された複数の画素を有する第 1 の画素列と、前記第 1 の画素列に対して主走査方向に所定の幅ずらして配置された一次元状に配列された複数の画素を有する第 2 の画素列とを含み、前記第 1 の画素列からの信号と前記第 2 の画素列からの信号を同一の出力部より出力する撮像手段と、前記第 1 の画素列と前記第 2 の画素列のいずれかの画素列の信号を前記出力部から出力するとともに、他方の画素列の信号を前記出力部でリセットする駆動手段とを有することを特徴とする画像処理装置が提供される。

【 0 0 1 8 】

本発明のさらに他の観点によれば、一次元状に配列された複数の画素を有する第 1 の画素列と、前記第 1 の画素列に対して主走査方向に所定の幅ずらして配置された一次元状に配列された複数の画素を有する第 2 の画素列と、少なくとも 3 つのパルスによって、前記第 1 の画素列及び前記第 2 の画素列からの信号を転送することが可能な転送手段とを有することを特徴とする画像処理装置が提供される。

【 0 0 1 9 】

本発明のさらに他の観点によれば、一次元状に配列された複数の画素を有する第 1 の画素列と、前記第 1 の画素列に対して主走査方向に所定の幅ずらして配置された一次元状に配列された複数の画素を有する第 2 の画素列と、前記第 1 の画素列からの信号と前記第 2 の画素列からの信号を同一の出力部より出力する出力手段とを有する画像処理装置の処理方法であって、前記第 2 の画素列からの信号を読み出して前記出力部から連続的に出力、又は前記第 1 の画素列からの信号を読み出して前記出力部から連続的に出力するステップを有することを特徴とする画像処理装置の処理方法が提供される。

【 0 0 2 0 】

本発明のさらに他の観点によれば、一次元状に配列された複数の画素を有する第 1 の画素列と、前記第 1 の画素列に対して主走査方向に所定の幅ずらして配置された一次元状に配列された複数の画素を有する第 2 の画素列と、前記第 1 の画素列からの信号と前記第 2 の画素列からの信号を同一の出力部より出力する出力手段とを有する画像処理装置の処理方法であって、前記第 1 の画素列と前記第 2 の画素列のいずれかの画素列の信号を前記出力部から出力するとともに、他方の画素列の信号を前記出力部でリセットするステップを有することを特徴とする画像処理装置の処理方法が提供される。

【 0 0 2 1 】

本発明のさらに他の観点によれば、一次元状に配列された複数の画素を有する第 1 の画素列と、前記第 1 の画素列に対して主走査方向に所定の幅ずらして配置された一次元状に配列された複数の画素を有する第 2 の画素列とを有する画像処理装置の処理方法であって、少なくとも 3 つのパルスによって、前記第 1 の画素列及び前記第 2 の画素列からの信号を転送するステップを有することを特徴とする画像処理装置の処理方法が提供される。

【 0 0 2 2 】

本発明によれば、第 1 の画素列及び第 2 の画素列が所定の幅ずれて配置されており、第 1 の画素列又は第 2 の画素列のみを読み出すことができるので、奇数画素列又は偶数画素列のみを読み出すことができる。これにより、高解像度時と低解像度時の蓄積時間のバランスと低解像度時の高速読み取りとを両立させることができる。

【 0 0 2 3 】

【発明の実施の形態】

以下、本発明の実施形態を、実施例に沿って図面を参照しながら説明する。

(第 1 の実施例)

図 1 は、本発明の第 1 の実施例による画像読取装置（画像処理装置）内の CCD の構成を示す。なお、画像読取装置の外観は図 1 4 と同じであり、構成は図 1 5 と同じである。図 1 は、光電変換素子（画素）列を 1 色あたり 2 列配置し、か

つ千鳥状に $1/2$ 画素（以下、 $1/2P$ という）ずつずらした千鳥画素配列カラー CCD の構成例であり、かつ第 1 の転送クロック $\phi 1$ 、第 2 の転送クロック $\phi 2$ 及び第 3 の転送クロック $\phi 3$ を有していることを特徴としている。また、図 2 は RGB のうちの 1 色におけるフォトダイオードとシフトレジスタ及び第 1 の転送クロック $\phi 1$ 、第 2 の転送クロック $\phi 2$ 及び第 3 の転送クロック $\phi 3$ の関係を示した図である。シフトレジスタ数はフォトダイオード数より 2 倍以上からなり、第 1 の転送クロック $\phi 1$ 、第 2 の転送クロック $\phi 2$ 及び第 3 の転送クロック $\phi 3$ を後述する駆動タイミングにて転送可能な構成となっている。

【 0 0 2 4 】

図 1 において、R 色の感光部は千鳥状に $1/2P$ ずつずれた画素列を n ライン分の距離をおいて配置されたフォトダイオード 5、フォトダイオード 6 によって構成され、それぞれの画素列の画像データはシフトパルス $SH-r$ (7) によってシフトゲート 5、シフトゲート 6 を通じてシフトレジスタ 5、シフトレジスタ 6 に転送される。シフトレジスタ 5、シフトレジスタ 6 に転送された画像データは第 1 の転送クロック、第 2 の転送クロック、第 3 の転送クロックによって順次転送され、出力バッファに入力される時には、フォトダイオード 5、フォトダイオード 6 の画像データを画素順で交互に順次転送されることになり、リセットパルス RS (5) ごとに CCD 出力 $OS-r$ (2) から出力される。

【 0 0 2 5 】

図 2 に示したように G 色、B 色についても同様に CCD 出力 $OS-g$ (3)、 $OS-b$ (4) は第 1 の転送クロック、第 2 の転送クロック及び第 3 の転送クロックによって転送された画像データをリセットパルス RS (5) ごとに出力される。その結果、ある時間における CCD 出力 $OS-r$ (2)、 $OS-g$ (3)、 $OS-b$ (4) は N ライン分ずれた画像データが出力されることになる。

【 0 0 2 6 】

図 3 に、前記 CCD の駆動タイミング例を示す。同図は $\phi 1$ 、 $\phi 2$ 、 $\phi 3$ 、 RS の CCD 駆動タイミングにおける CCD 出力 $OS-r$ 、 $OS-g$ 、 $OS-b$ を示している。また、図 4 では、図 3 の波形にて転送クロック $\phi 1$ 、 $\phi 2$ 、 $\phi 3$ と

リセットパルス RS のタイミングに関する CCD 内の動作を説明する。転送電極を駆動する $\phi 1$ 、 $\phi 2$ 、 $\phi 3$ によって転送される画像データは、フローティングキャパシタに転送され、電圧信号に変換された結果が信号出力 OS に出力される。タイミング $T a 1$ 時の奇数画素列シフトレジスタにおけるポテンシャルウェルでは、転送される画像データ $S 2 n + 1$ 、 $S 2 n + 3$ 、 \dots が順に転送される。リセットパルスによってリセットゲートを ON された状態なので、フローティングキャパシタには画像データがない状態である。タイミング $T a 2$ 時の奇数画素列シフトレジスタにおけるポテンシャルウェルでは、フローティングキャパシタに画像データ $S 2 n + 1$ が転送され、タイミング $T a 3$ 時はリセットパルスによりリセットゲートが ON し、フローティングキャパシタ内の画像データ $S 2 n + 1$ がリセットされたときのポテンシャルウェル図を示す。奇数画素列及び偶数画素列の各シフトレジスタから交互にフローティングキャパシタに画像データを転送し、リセットパルスによって信号出力 OS からデータを更新する構成となっている。つまり、本実施例の CCD であっても、図 3 の駆動タイミングに示したように第 2 の転送クロック、第 3 の転送クロックを同位相とすることで、従来例で説明した図 1 9 と同じ CCD 出力を得ることが可能であることを示している。

【 0 0 2 7 】

しかし、この駆動方法では従来と同じように CCD の 1 ラインあたりの最大読み取り速度は $\phi 1$ 、 $\phi 2$ の最大動作周波数とフォトダイオードの個数、あるいはデジタル処理上の $DRAM$ のアクセス時間の影響で決定される蓄積時間は非常に長くなってしまい、 S/N の悪化（ダークノイズの悪化）をまねいたり、低解像度時の高速読み取り化の妨げになる。

【 0 0 2 8 】

そこで、図 5、図 6 に示す駆動タイミングによって、それぞれ奇数画素列、偶数画素列を線順次で読み出すことで、同じ 1 ライン時間でありながら蓄積時間を $1/2$ にすることが可能となる。図 5、図 6 では、 $\phi 1$ 、 $\phi 2$ 、 $\phi 3$ でのシフトレジスタ部の転送タイミングと同時に RS にてリセットすることで奇数列あるいは偶数列のみ CCD 出力として順次出力することを可能としている。そして、高解像度時には、奇数画素列からの線順次な信号と、偶数列からの線順次な信号と

を交互に読み出し、低解像度時には、奇数画素列からの線順次な信号又は、偶数列からの線順次な信号のいずれかを読み出すようにする。

【 0 0 2 9 】

図 3 で駆動した場合の 1 ラインの蓄積時間 T に相当するタイミング例を図 7 (a) に、図 5、図 6 で駆動した場合の 1 ラインの蓄積時間 $T/2$ に相当するタイミング例を図 7 (b) に示す。奇数画素列と偶数画素列とを読み出すために必要な 1 ライン分の時間 T に差がないことが分かる。

【 0 0 3 0 】

図 8 (a)、(b) には、図 7 (a)、(b) の駆動方法における画像読み取り領域を画素サイズに相当させた略図である。図 7 (a) で駆動させた場合の画像読み取り領域図を図 8 (a) に、図 7 (b) で駆動させた場合の画像読み取り領域図を図 8 (b) に示す。画像情報を欠落させることなく、画像情報を読み取れることが分かる。

【 0 0 3 1 】

図 9 (a)、(b) に奇数列の画像データのみ読み出した場合の、タイミング比較図例を示す。図 9 (a) は、図 3 で駆動した場合の 1 ラインの蓄積時間 T に相当するタイミング例で、図 9 (b) は図 6 で駆動した場合の 1 ラインの蓄積時間 $T/2$ に相当するタイミングとなっており、例えばデジタル回路上の DRAM アクセス時間に制約があり、図 9 (a) と同じ CCD 出力タイミングが要求される場合であっても、 $1/2$ の蓄積時間で読み取ることが可能となる。

【 0 0 3 2 】

(第 2 の実施例)

図 1、図 2 に示した CCD を用いた画像読取装置において、基本解像度の $1/4$ 以下で画像情報を読み取る場合に、さらに高速で読み取ることを可能とする手段について説明する。

【 0 0 3 3 】

図 1 0 に、基本解像度の $1/4$ 以下の解像度にして読み取り速度を高めるための駆動タイミング例を示す、同図は $\phi 1$ の転送速度を $\phi 2$ 、 $\phi 3$ より 2 倍の転送速度にし、かつ偶数列の画像データを読み捨てるべくリセットパルス RS によっ

てリセットしているためCCD出力OS-r, OS-g, OS-bは奇数画素列中の隣接画素が加算された信号のみが順次出力されることを示している。例えば、画像データ S_{2n+1} 及び S_{2n+3} が加算される。

【0034】

図11、図12では、シフトレジスタ部で画素加算するための転送クロック ϕ_1 、 ϕ_2 、 ϕ_3 とリセットパルスRSのタイミングに関するCCD内の動作を説明する。タイミングTb1時における奇数画素列シフトレジスタにおけるポテンシャルウェルでは、まだシフトレジスタ部での画素加算が行なわれる以前の状態の画像データ S_{2n+1} 、 S_{2n+3} 、・・・が確保されている。リセットパルスによってリセットゲートがONされた状態なので、フローティングキャパシタには画像データがない状態である。タイミングTb2時の奇数画素列シフトレジスタにおけるポテンシャルウェルではフローティングキャパシタに画像データ S_{2n+3} 、 S_{2n+7} 、 S_{2n+11} が転送され、 S_{2n+1} 、 S_{2n+5} 、 S_{2n+9} は転送されていない。タイミングTb3時では、リセットパルスによりリセットゲートがONし、フローティングキャパシタ内の画像データがリセットされている。また、タイミングTb2で転送された画像データ S_{2n+3} 、 S_{2n+7} 、 S_{2n+11} のみが転送され、それぞれ S_{2n+1} 、 S_{2n+5} 、 S_{2n+9} の画像データと加算される。タイミングTb4時、Tb5時では、それぞれ加算された画像データがシフトレジスタ上でシフトされる。タイミングTb6時では、リセットパルスによりリセットゲートがONし、フローティングキャパシタ内の画像データがリセットされ、かつそれぞれ加算された画像データがシフトレジスタ上でシフトされる。タイミングTb7時、Tb8時では、それぞれ加算された画像データがシフトレジスタ上でシフトされ、タイミングTb2時と同一のタイミングとなり、以降順次画素加算された信号が転送可能となる。

【0035】

ここで、図10で示したように、 ϕ_1 の転送速度を速めつつ、リセットパルスRSのタイミングによって、画素加算された信号を奇数画素列（あるいは偶数画素列）のみ読み出すことが出来る。

【0036】

図13(a)、(b)に画素加算された奇数画素列の画像データのみ読み出した場合の、タイミング比較例を示す。図13(a)は図3で駆動した場合の1ラインの蓄積時間Tに相当するタイミング例で、図13(b)は図10で駆動した場合の1ラインの蓄積時間 $T/4$ に相当するタイミングとなっており、例えばデジタル回路上のDRAMアクセス時間に制約があり、図13(a)と同じCCD出力タイミングが要求される場合であっても、 $1/2$ の蓄積時間で読み取ることが可能となる。

【0037】

本実施例によれば、千鳥状に $1/2P$ ずつずらした千鳥画素配列カラーCCDにおいて、フォトダイオード素子数より2倍以上のシフトレジスタ数を設け、かつ転送クロック ϕ_1 、 ϕ_2 以外に ϕ_3 なる転送クロックを設け、各転送クロックにてシフトレジスタ部のポテンシャルレベルを制御可能とする駆動制御手段と、低解像度時には奇数画素列あるいは偶数画素列のみ読み出すためのリセットパルスRSによるリセット手段と、かつ各画素列内にて見かけ状CCD画素数を $1/2$ にするためシフトレジスタ部で隣接画素加算可能なCCD転送を行なう転送手段とを有する。

【0038】

この際、奇数画素列あるいは偶数画素列のみ読み出すようにリセットパルスRSにて画像データをリセットしながら読みだす。また、低解像度時にシフトレジスタ部で画素加算して読み出しS/Nを劣化させることなく蓄積時間を短くする。

【0039】

本実施例の千鳥画素配列のCCDを使用した画像読取装置の構成及び駆動方法では、千鳥画素配列においても奇数画素列あるいは偶数画素列のみを読み出すことが出来、かつシフトレジスタ部での画素加算を可能としたことにより、CCDの基本解像度（高解像度）時に従来手段の $1/2$ の蓄積時間で読み取ることが可能となり、かつ、基本解像度の $1/2$ 解像度読み取り時には前記基本解像度時と同じ蓄積時間で読み出すことが可能となるため、前記基本解像度時の $1/4$ の読み取り時間で同一原稿を読み取ることが可能となる。さらに基本解像度の $1/4$

解像度読み取り時には、前記基本解像度時の $1/2$ の蓄積時間で S/N を悪化させることなく、前記基本解像度時の $1/16$ の読み取り時間で同一原稿を読み取ることが可能となるため、高解像度時と低解像度時の蓄積時間のバランスと低解像度時の高速読み取りとを両立させることが可能となる。

【0040】

なお、上記実施例は、何れも本発明を実施するにあたっての具体化のほんの一例を示したものに過ぎず、これらによって本発明の技術的範囲が限定的に解釈されてはならないものである。すなわち、本発明はその思想、またはその主要な特徴から逸脱することなく、様々な形で実施することができる。

【0041】

【発明の効果】

以上説明したように本発明によれば、第1の画素列及び第2の画素列が所定の幅ずれて配置されており、第1の画素列又は第2の画素列のみを読み出すことができるので、奇数画素列又は偶数画素列のみを読み出すことができる。これにより、高解像度時と低解像度時の蓄積時間のバランスと低解像度時の高速読み取りとを両立させることができる。

【図面の簡単な説明】

【図1】

本発明の第1の実施例及び第2の実施例を説明するためのCCD内部の構造図である。

【図2】

図1のCCD内部のフォトダイオード部とシフトレジスタ部の配線図である。

【図3】

図1のCCD駆動のためのタイミング説明図である。

【図4】

図3のCCD駆動タイミングにおけるCCD内部の動作説明図である。

【図5】

第1の実施例を説明するための奇数画素列のみ読み出すためのCCD駆動タイミング図である。

【図 6】

第 1 の実施例を説明するための偶数画素列のみ読み出すための CCD 駆動タイミング図である。

【図 7】

第 1 の実施例を説明するための基本解像度時における CCD 駆動タイミング図である。

【図 8】

第 1 の実施例を説明するための基本解像度時における読み取り画像領域比較図である。

【図 9】

第 1 の実施例を説明するための基本解像度時の $1/2$ 時における CCD 駆動タイミング図である。

【図 10】

本発明の第 2 の実施例を説明するための基本解像度時の $1/4$ 時における CCD 駆動タイミング図である。

【図 11】

第 2 の実施例を説明するためのタイミングチャートである。

【図 12】

図 11 のタイミングチャートに関わる CCD 内部の動作説明図である。

【図 13】

第 2 の実施例を説明するための基本解像度の $1/4$ 時における CCD 駆動タイミング図である。

【図 14】

画像読取装置の概略図である。

【図 15】

画像読取装置を制御するための回路ブロック図である。

【図 16】

従来例を説明するための CCD 内部の構造図である。

【図 17】

図 1 6 の C C D 内部のフォトダイオード部とシフトレジスタ部の配線図である。

【図 1 8】

従来例を説明するための C C D 内部の画素列の一例を説明するための図である。

【図 1 9】

従来例を説明するための C C D 駆動タイミング図である。

【図 2 0】

従来の C C D 駆動タイミングにおける C C D 内部の動作説明図である。

【図 2 1】

従来例を説明するための基本解像度の 1 / 2 時における C C D 駆動タイミング図である。

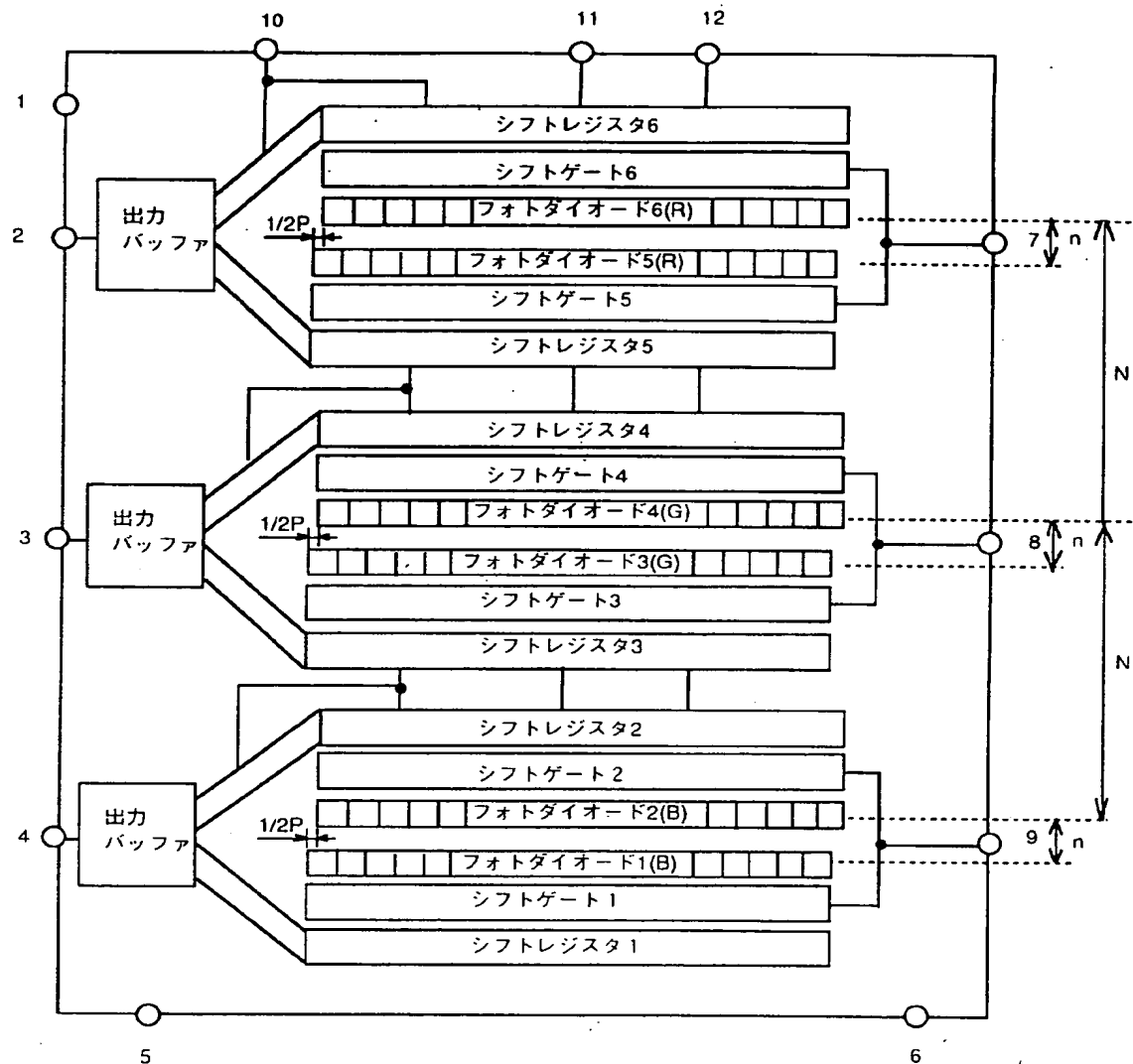
【符号の説明】

- 1 電源 O D
- 2 出力 O S - r
- 3 出力 O S - g
- 4 出力 O S - b
- 5 リセットクロック R S
- 6 グランド S S
- 7 シフトパルス S H - r
- 8 シフトパルス S H - g
- 9 シフトパルス S H - b
- 1 0 第 1 の転送クロック ϕ 1
- 1 1 第 2 の転送クロック ϕ 2
- 1 2 第 3 の転送クロック ϕ 3
- 1 0 0 原稿台ガラス
- 1 0 1 光源
- 1 0 2 ~ 1 0 4 ミラー
- 1 0 5 レンズ

- 1 0 6 C C D
- 1 0 7 読み取りユニット
- 1 0 8 白色基準板
- 1 0 9 外装カバー
- 1 1 0 原稿抑え
- 1 1 1 ケーブル
- 1 1 2 メインボード
- 1 1 3 C C D ボード
- 2 0 1 アナログゲイン調整回路
- 2 0 2 A / D コンバータ
- 2 0 4 シェーディング R A M
- 2 0 5 画像データ処理制御回路
- 2 0 6 2 値化回路
- 2 0 7 インターフェース回路
- 2 0 8 C P U
- 2 0 9 タイミング信号発生回路
- 2 1 0 水晶発振器

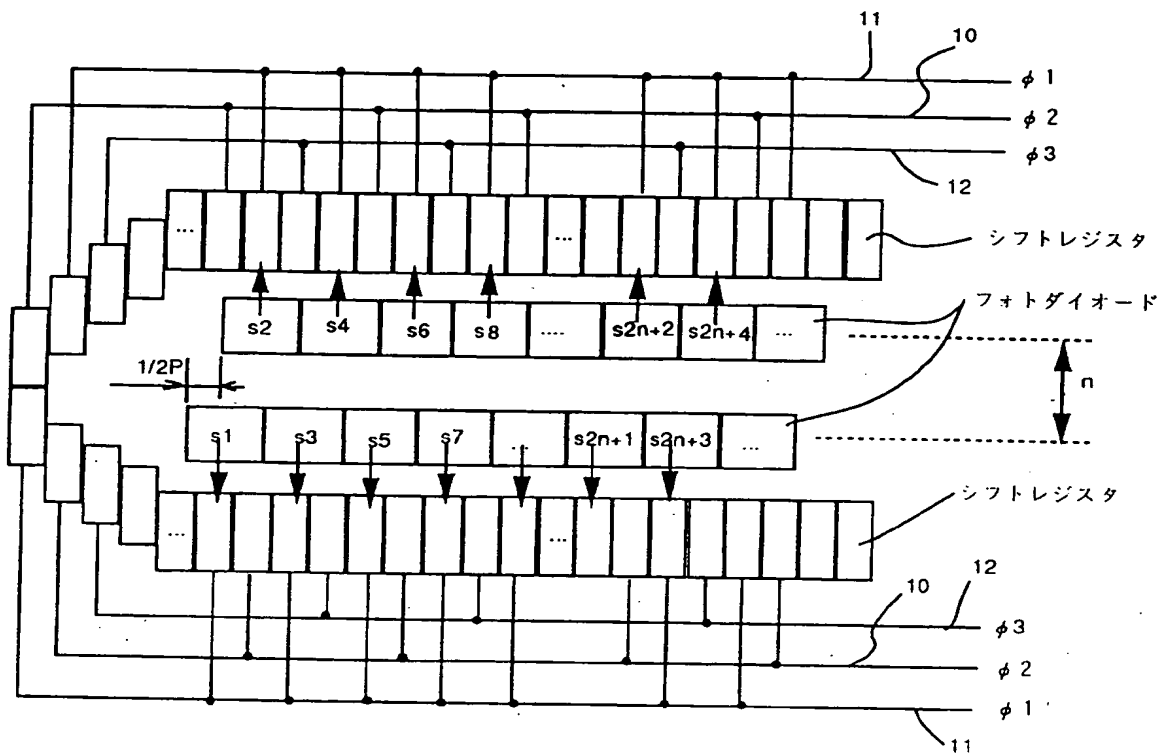
【書類名】 図面

【図 1】

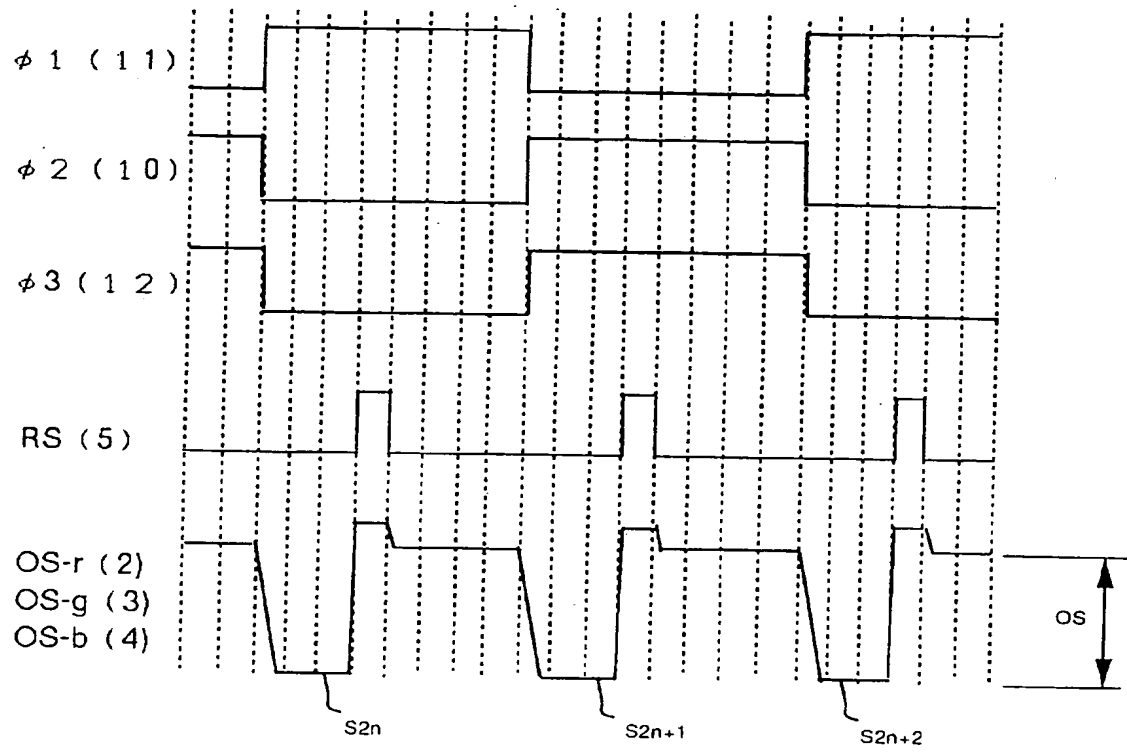


- | | |
|------------------|------------------|
| 1: 電源 (OD) | 6: GND (SS) |
| 2: 出力 (OS-r) | 7: シフトパルス SH-r) |
| 3: 出力 (OS-g) | 8: シフトパルス SH-g) |
| 4: 出力 (OS-b) | 9: シフトパルス SH-b) |
| 5: リセットクロック (RS) | 10: 転送クロック1(φ 1) |
| | 11: 転送クロック2(φ 2) |
| | 12: 転送クロック3(φ 3) |

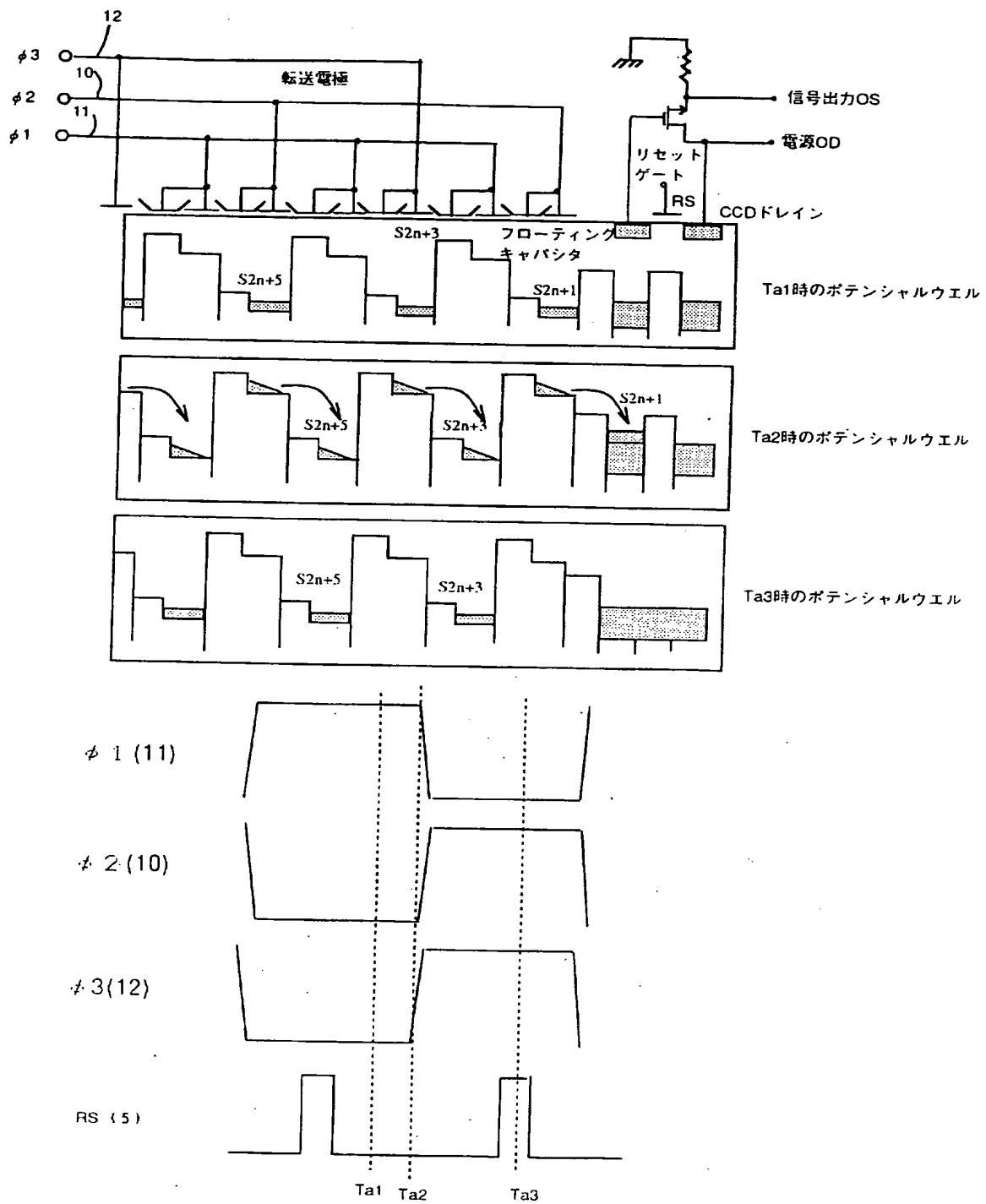
【図 2】



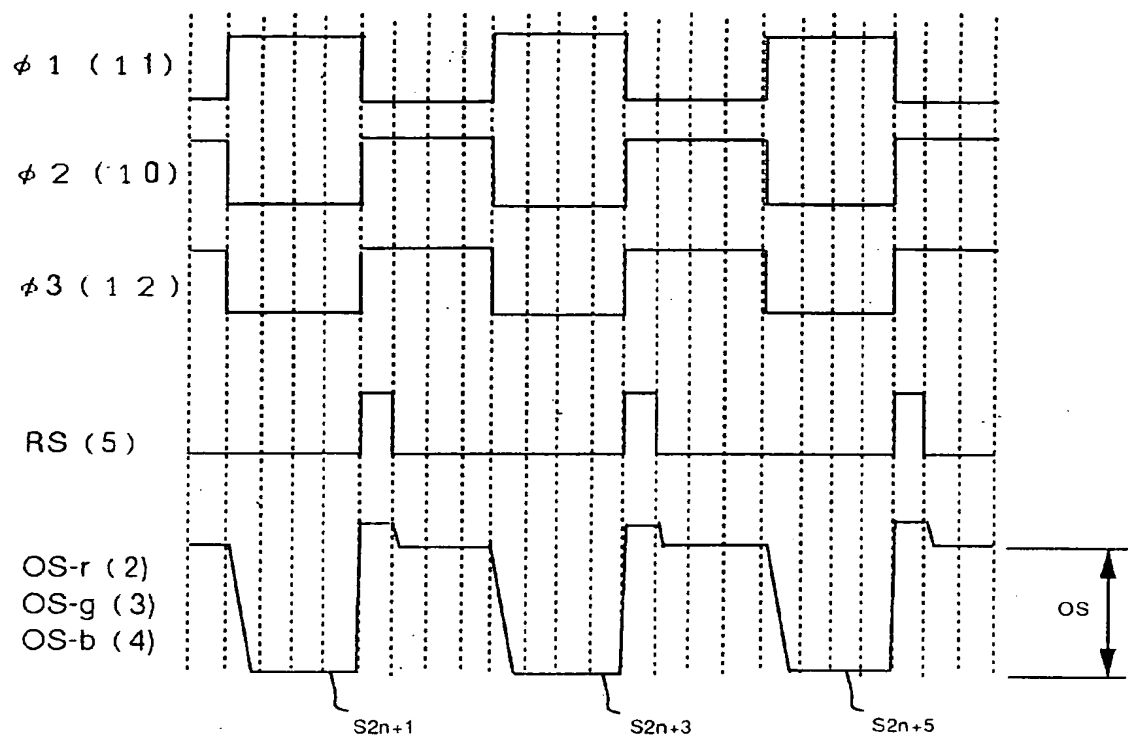
【図 3】



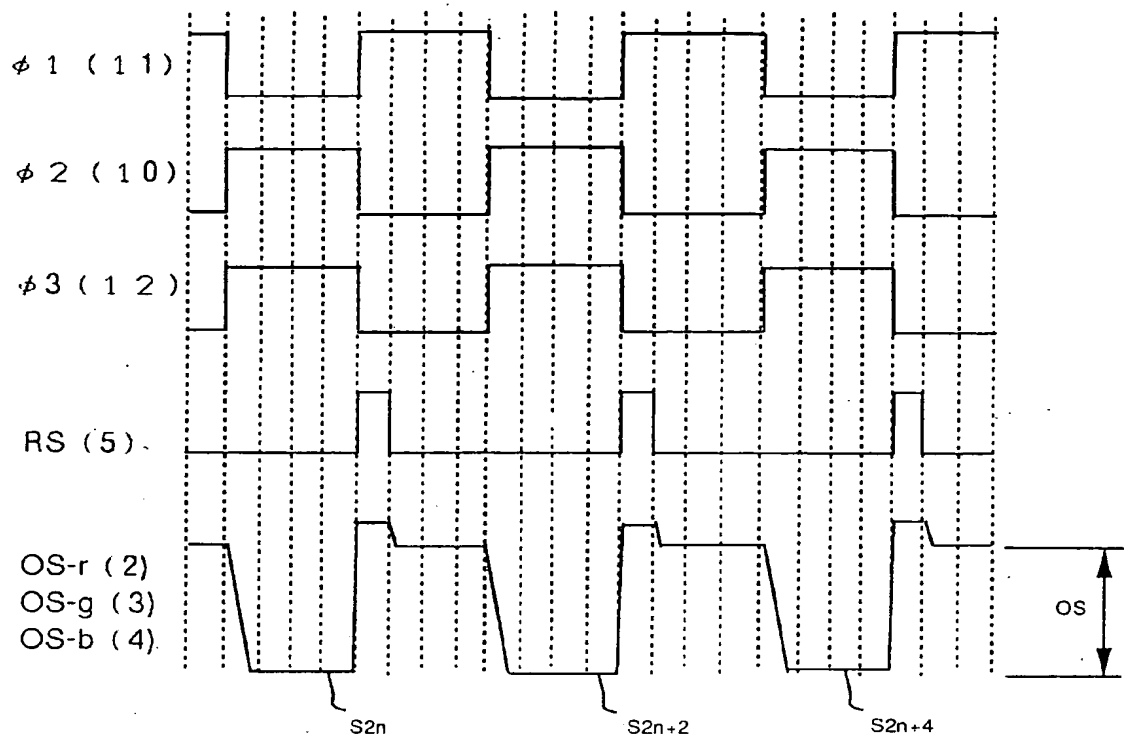
【図 4】



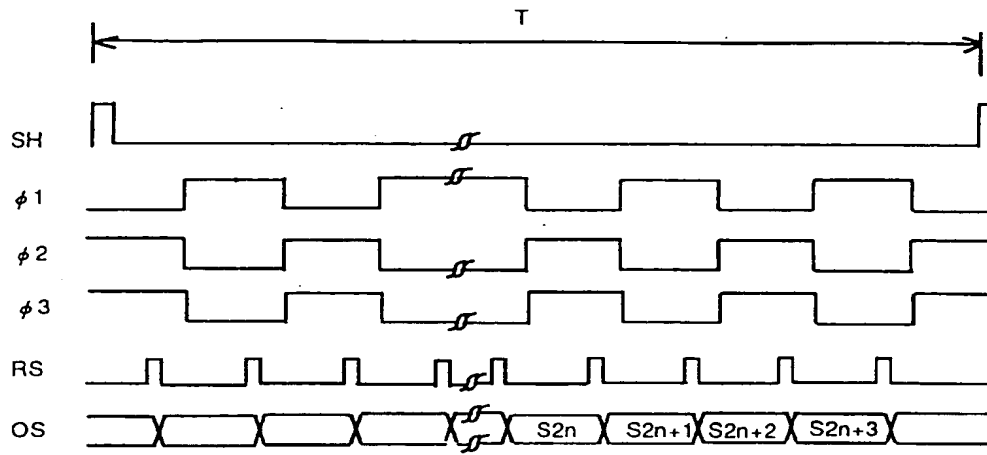
【図 5】



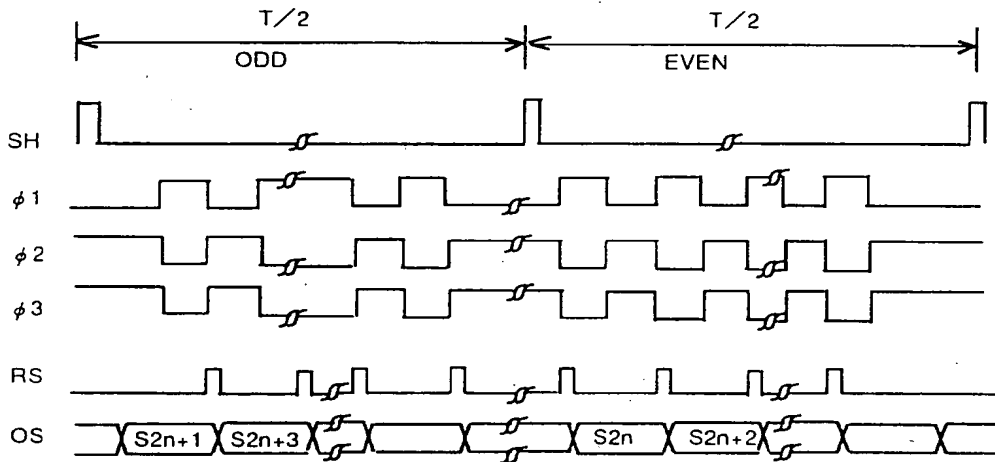
【図 6】



【図 7】

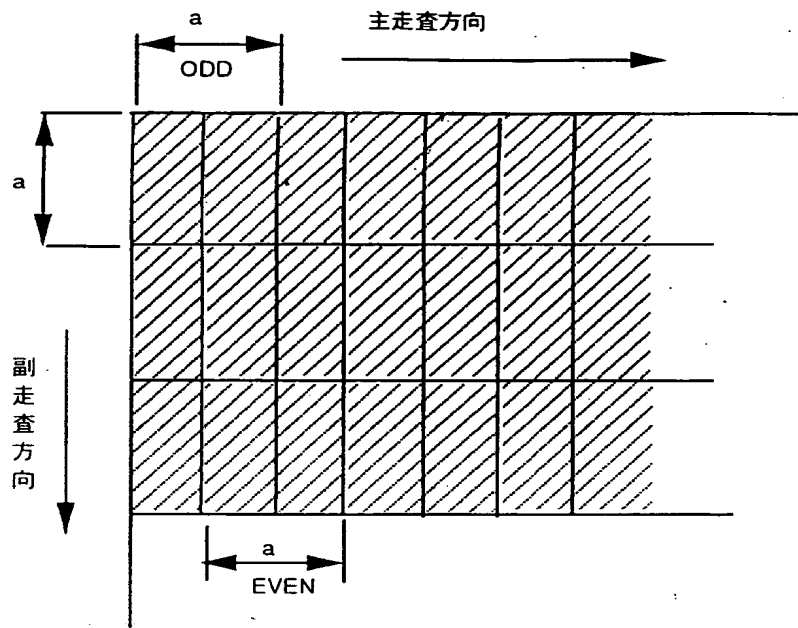


(a)

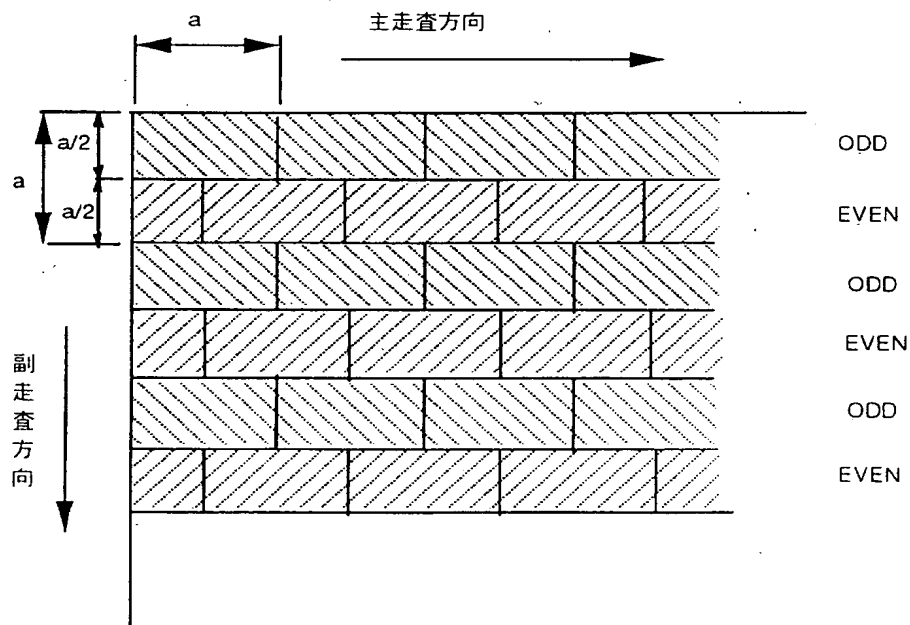


(b)

【図 8】

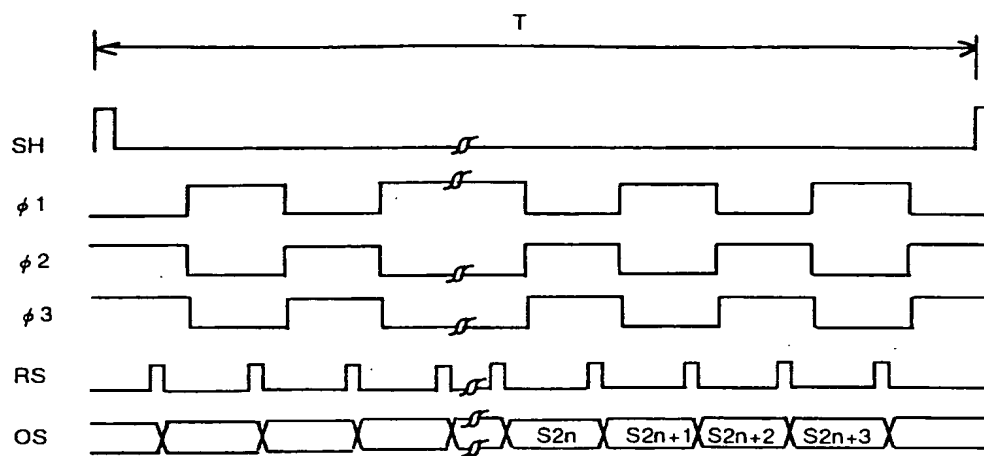


(a)

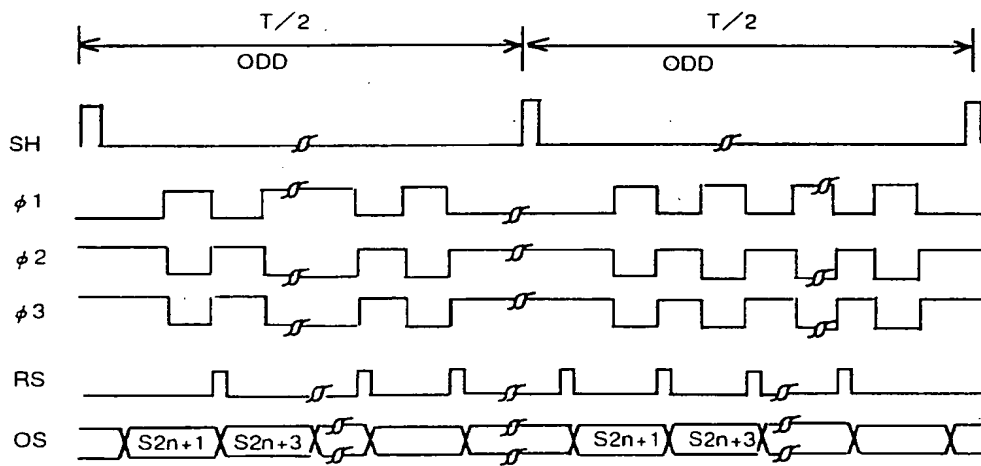


(b)

【図 9】

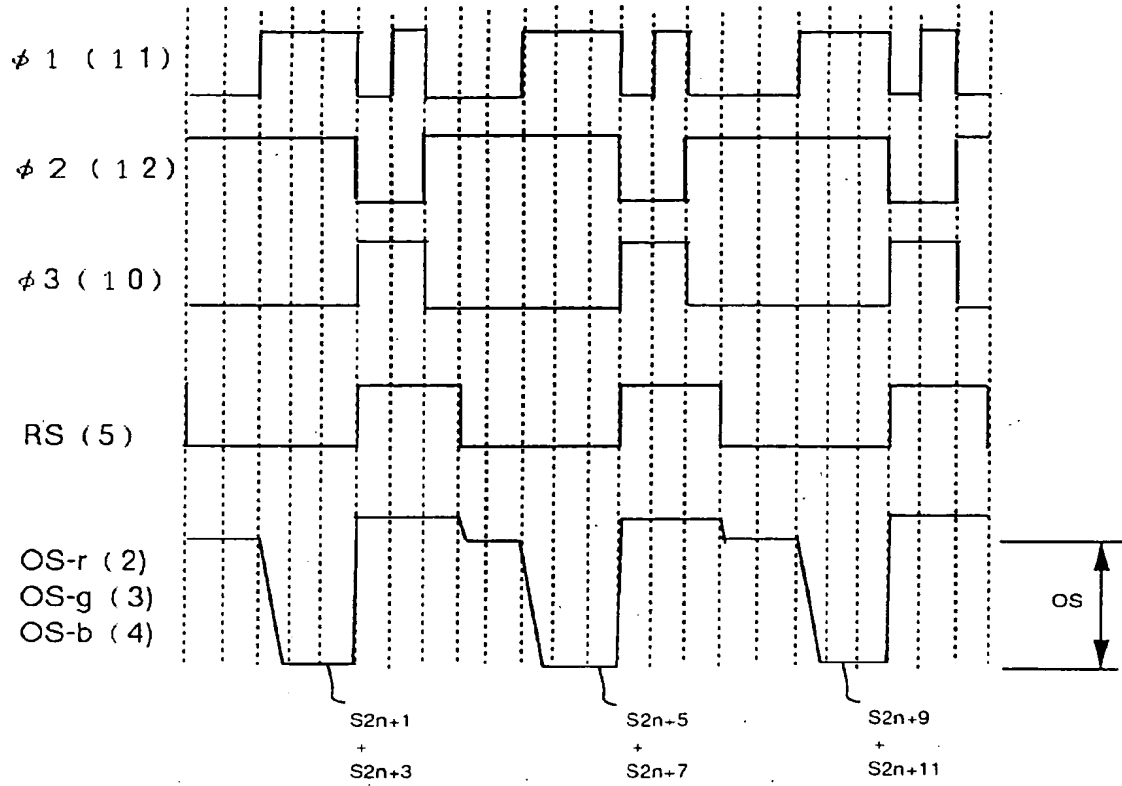


(a)

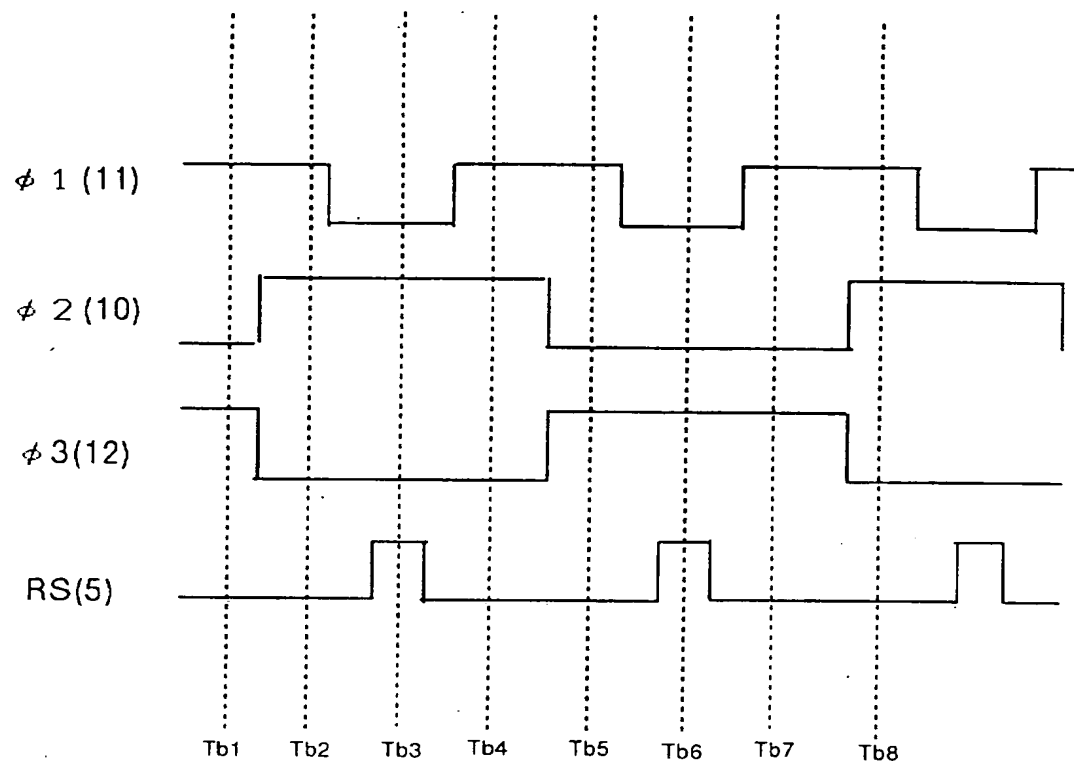


(b)

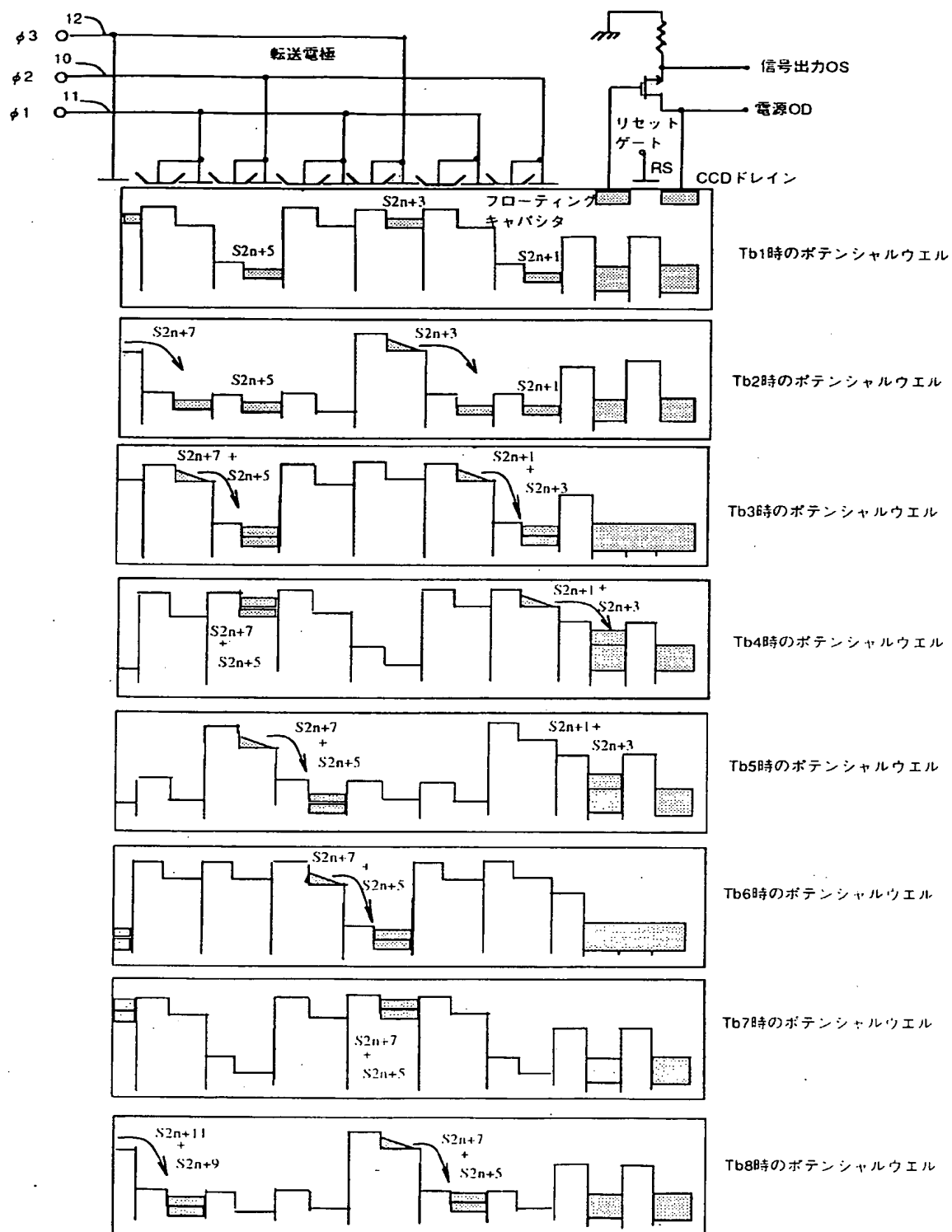
【図 1 0】



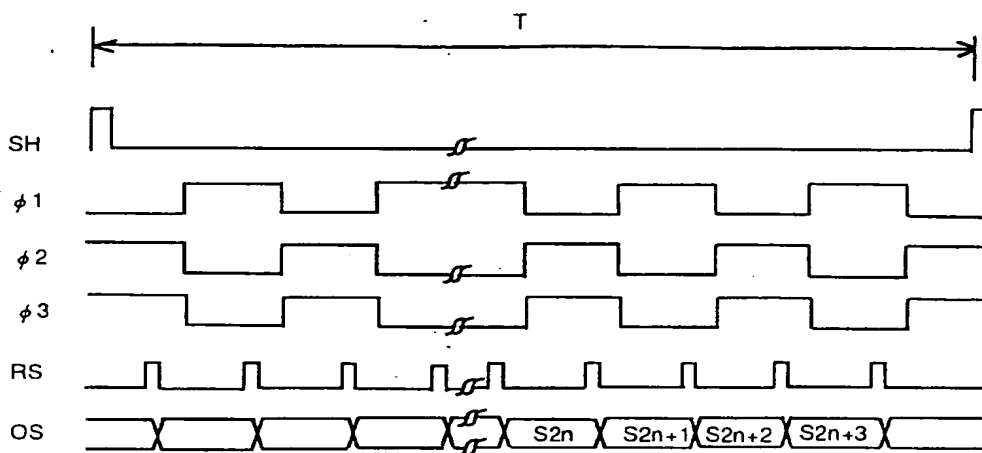
【図 1 1】



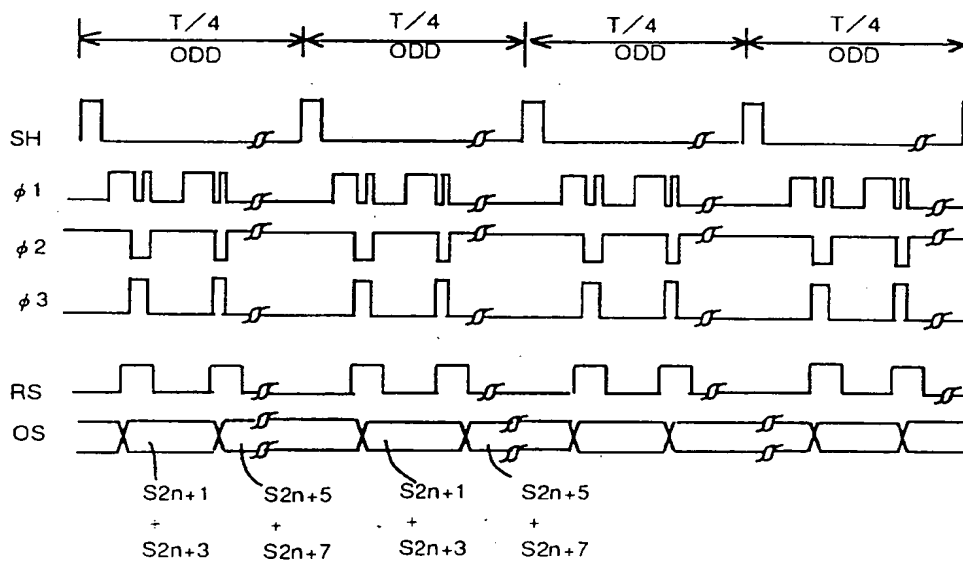
【図 12】



【図 13】

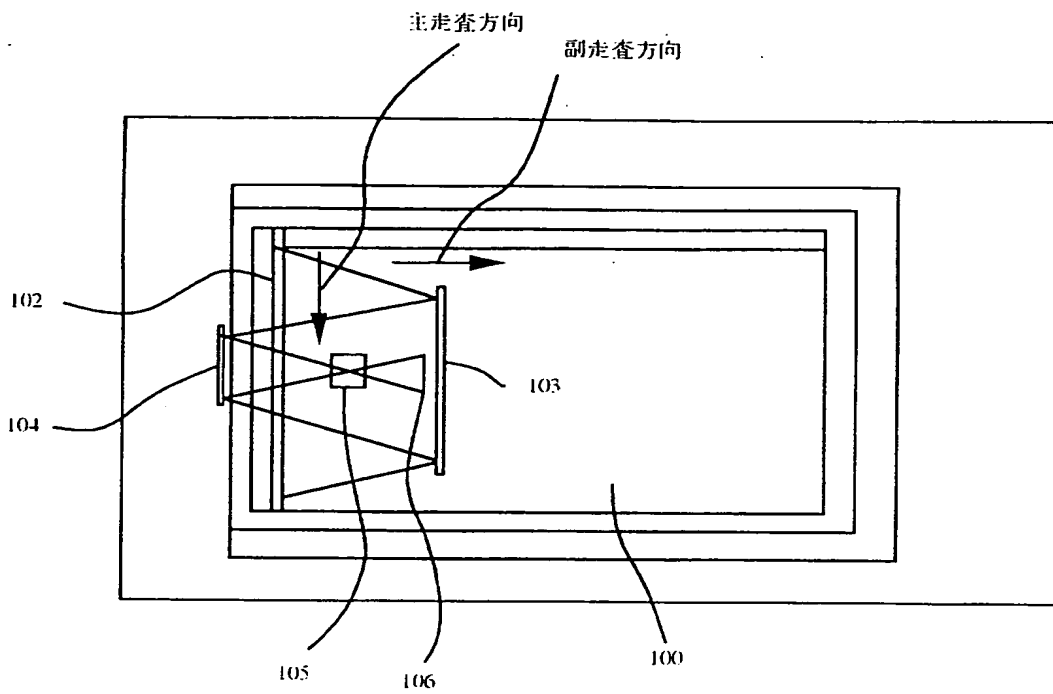


(a)

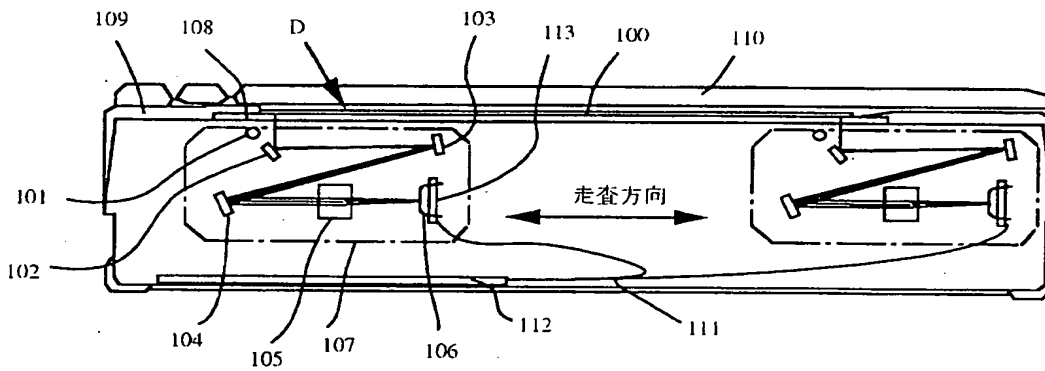


(b)

【図 14】

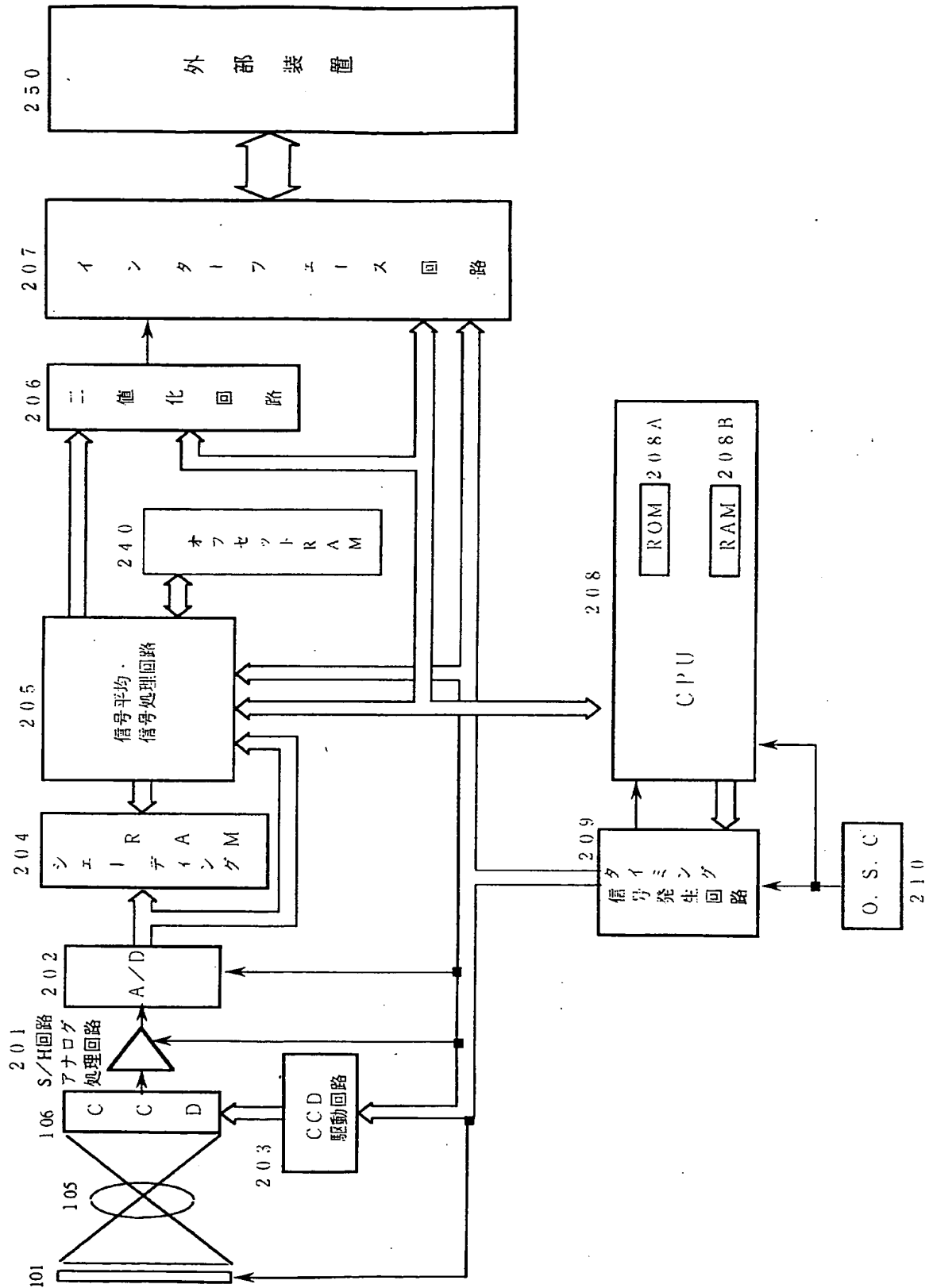


(a)上面図

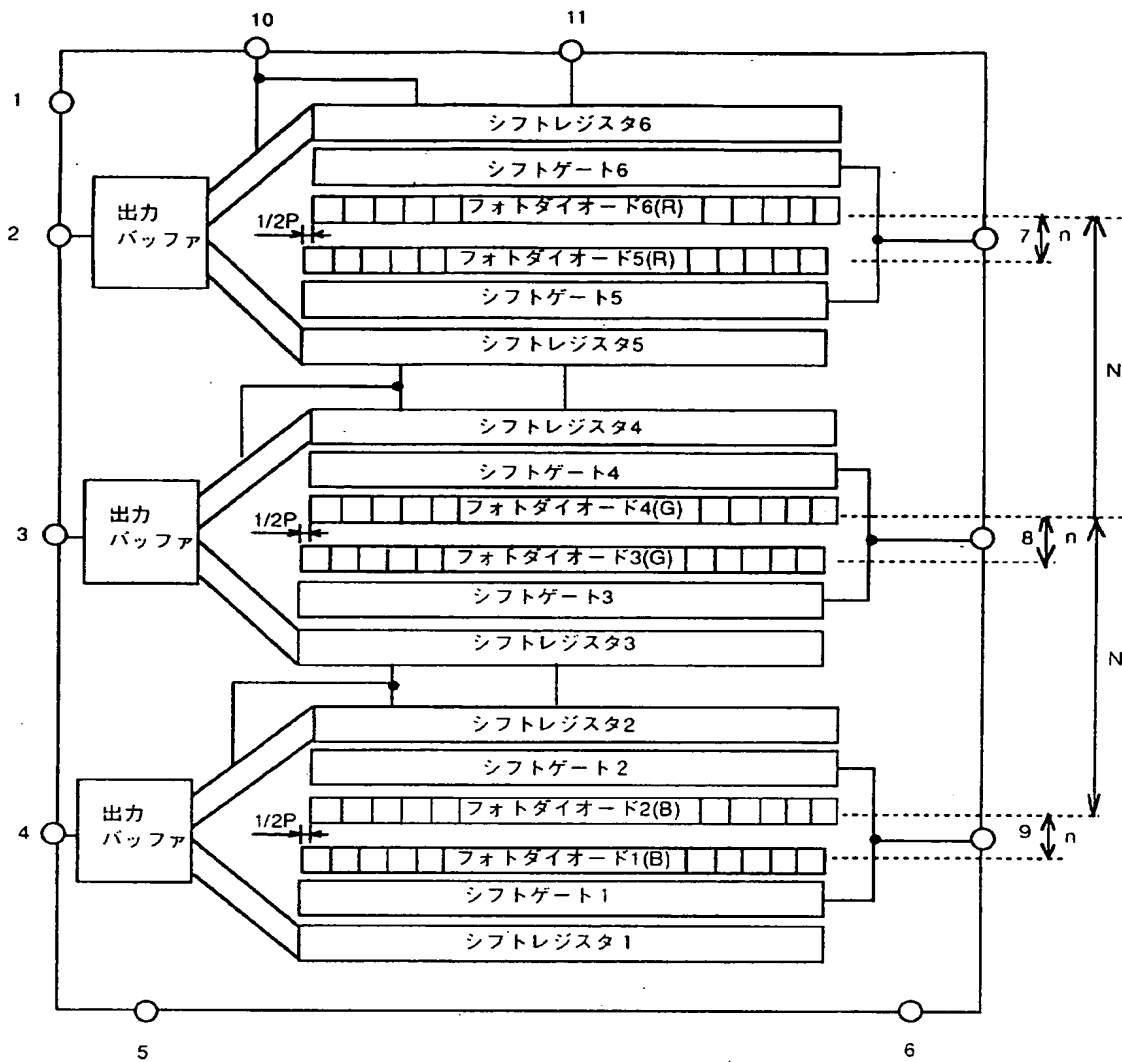


(b)側面図

【図15】

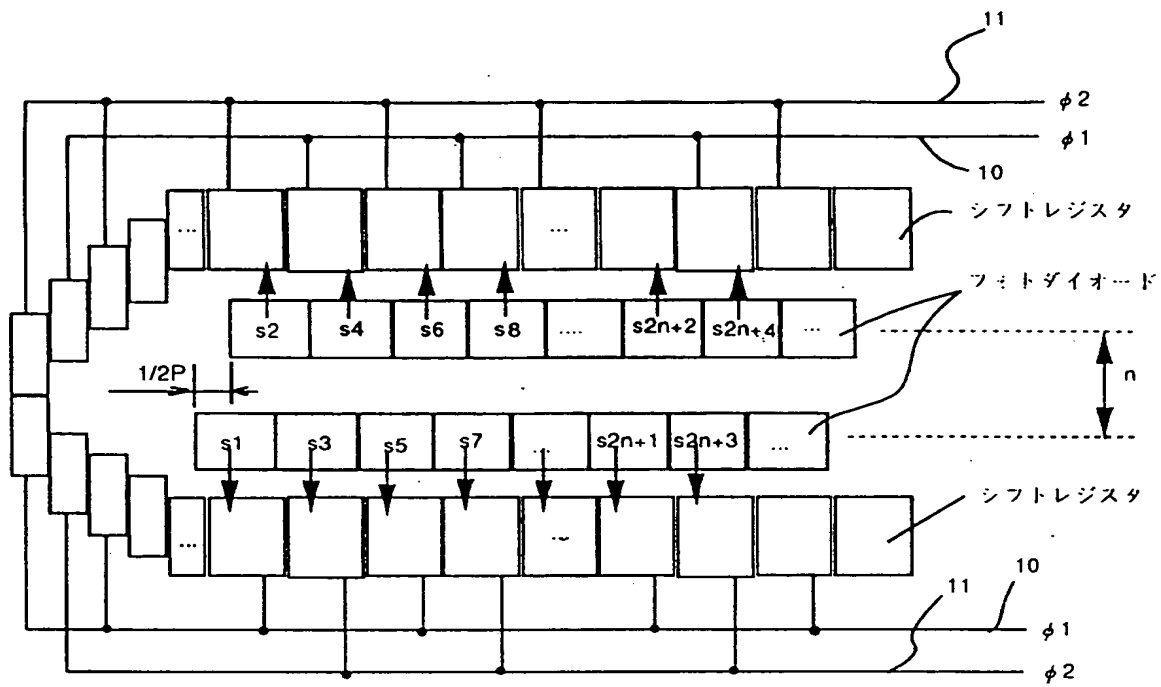


【図16】

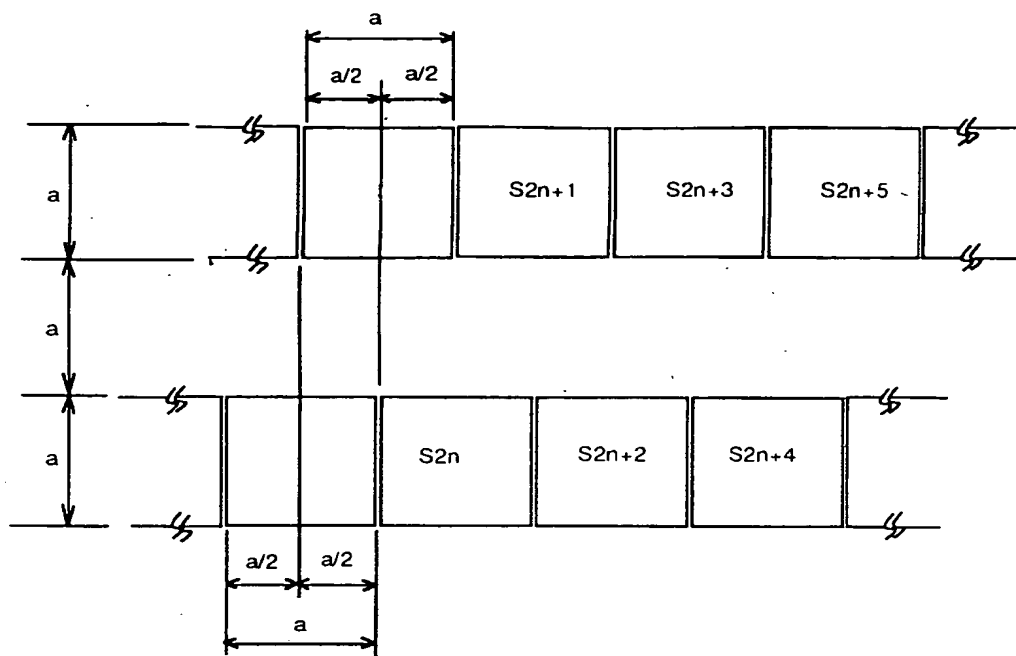


- | | |
|------------------|-------------------------|
| 1: 電源 (OD) | 6: GND (SS) |
| 2: 出力 (OS-r) | 7: シフトパルス (SH-r) |
| 3: 出力 (OS-g) | 8: シフトパルス (SH-g) |
| 4: 出力 (OS-b) | 9: シフトパルス (SH-b) |
| 5: リセットクロック (RS) | 10: 転送クロック1($\phi 1$) |
| | 11: 転送クロック2($\phi 2$) |

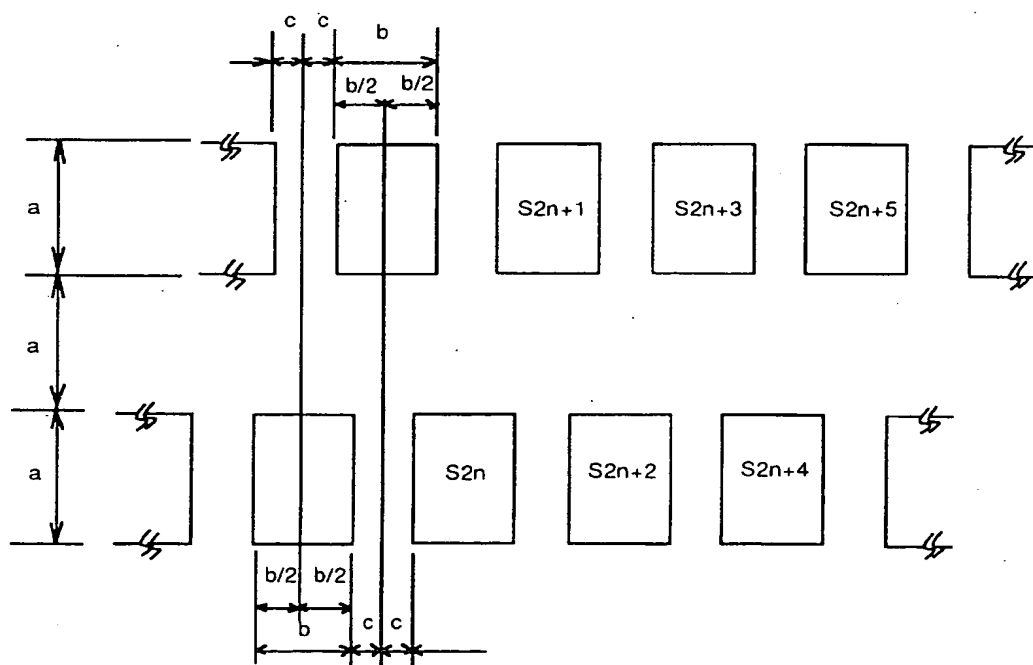
【図 17】



【図 18】

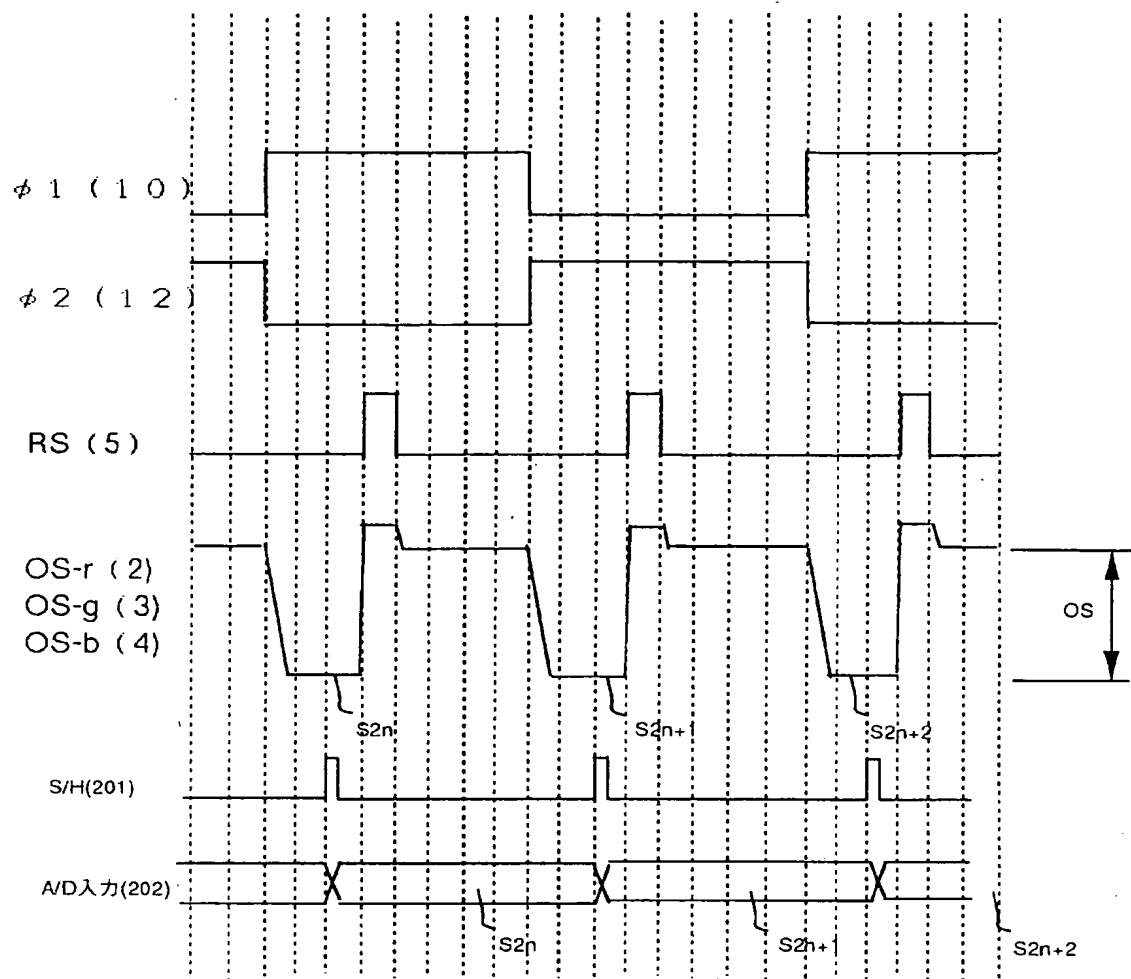


(a)

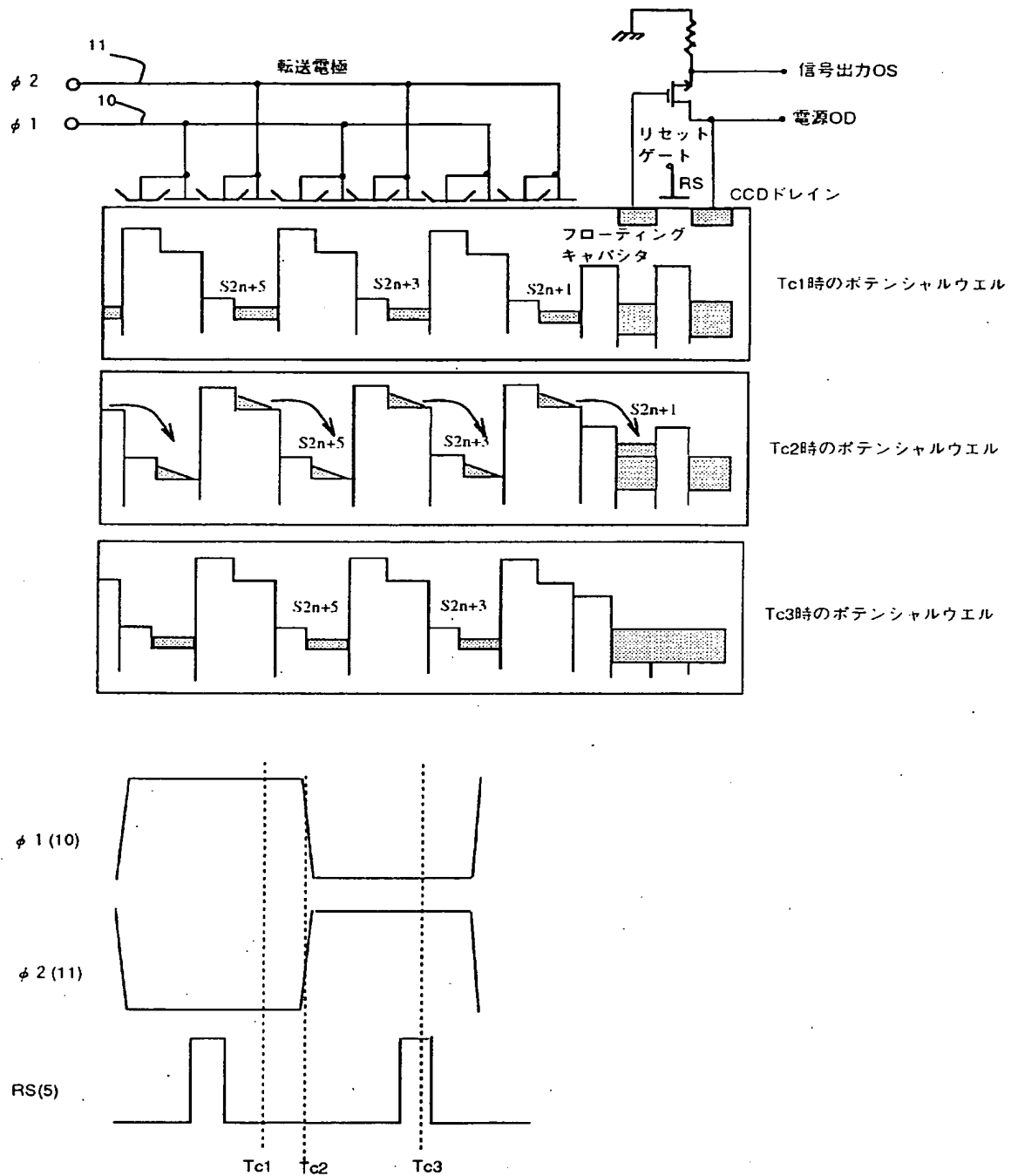


(b)

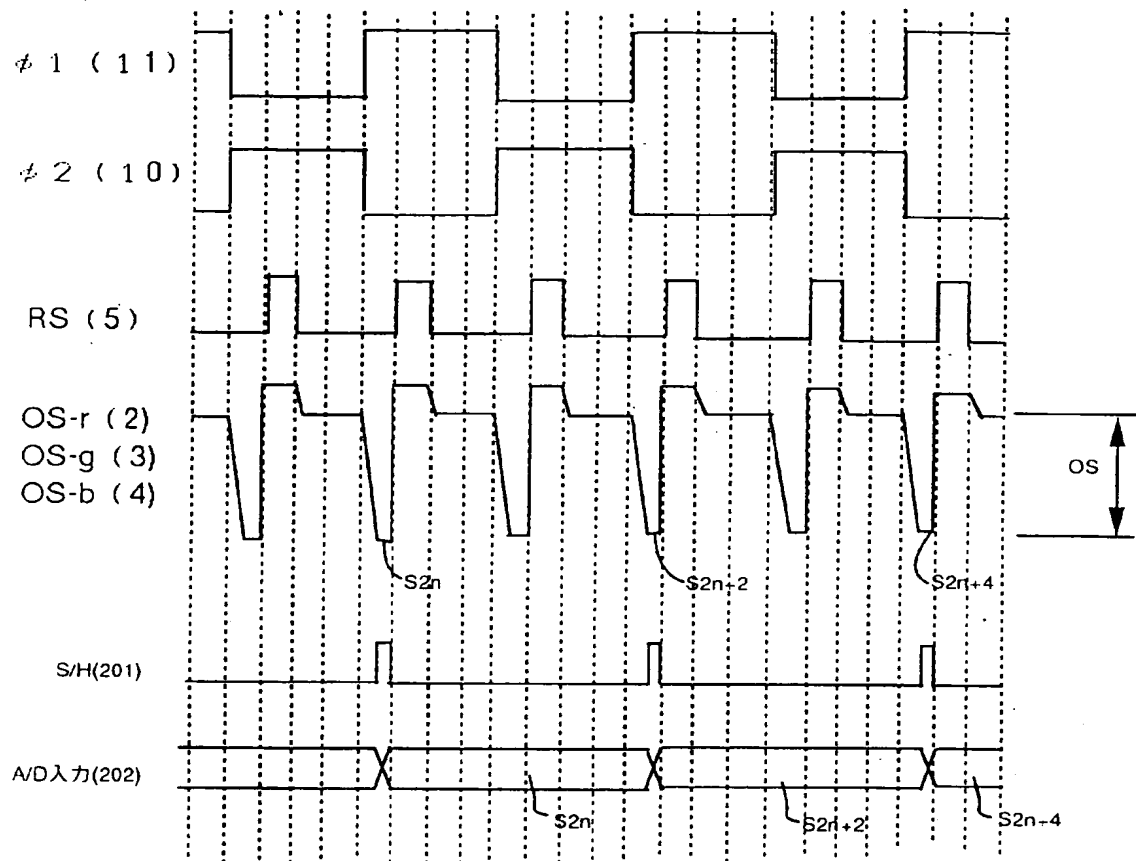
【図 1 9】



【図20】



【図 2 1】



【書類名】 要約書

【要約】

【課題】 高解像度時と低解像度時の蓄積時間のバランスと低解像度時の高速読み取りとを両立させることができる画像処理装置を提供することを課題とする。

【解決手段】 本発明の画像処理装置は、一次元状に配列された複数の画素を有する第1の画素列と、第1の画素列に対して主走査方向に所定の幅ずらして配置された一次元状に配列された複数の画素を有する第2の画素列とを含み、第1の画素列からの信号と第2の画素列からの信号を同一の出力部より出力する撮像手段と、第2の画素列からの信号を読み出して出力部から連続的に出力する第1のモードと、第1の画素列からの信号を読み出して出力部から連続的に出力する第2のモードとを有する駆動手段とを有する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000001007]

1. 変更年月日	1990年 8月30日
[変更理由]	新規登録
住 所	東京都大田区下丸子3丁目30番2号
氏 名	キャノン株式会社